

**KOREAN INDUSTRIAL  
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number:       **2002-0073820**

Date of Application:       **26 November 2002**

Applicant(s):               **Samsung Electronics Co., Ltd.**

**11 February 2003**

**COMMISSIONER**

## PATENT APPLICATION

|  |   |
|--|---|
| [Document Name]                        | Patent Application  |
| [Application Type]                     | Patent  |
| [Receiver]                             | Commissioner  |
| [Reference No.]                        | 0025  |
| [Filing Date]                          | 2002.11.26.   |
| [IPC]                                  | H01L  |
| [Title]                                | Method for Manufacturing Semiconductor Device   |
| [Applicant]                            |   |
| Name:                                  | Samsung Electronics Co., Ltd.   |
| Applicant code:                        | 1-1998-104271-3   |
| [Attorney]                             |   |
| Name:                                  | Young-pil Lee   |
| Attorney's code:                       | 9-1998-000334-6   |
| Reg. No. of General Power of Attorney: | 1999-009556-9   |
| Name:                                  | Sang-bin Jeong  |
| Attorney's code:                       | 9-1998-000541-1   |
| Reg. No. of General Power of Attorney: | 1999-009617-5   |
| [Inventor]                             |   |
| 1. Name:                               | Jae-hyoung Choi   |
| I.D. No.                               | 711001-1231755  |
| Zip Code:                              | 423-014   |
| Address:                               | 108-2404, Hanjin Apt., Kwangmyung 4-dong,<br>Kwangmyung-city, Kyungki-do,<br>Republic of Korea          |
| Nationality:                           | Republic of Korea   |
| 2. Name:                               | Wan-don Kim   |
| I.D. No.                               | 710223-1017515  |
| Zip Code:                              | 449-840   |
| Address:                               | 102-1004, Jugong Apt., Pungdeokcheon 2-dong,<br>Suji-eub, Yongin-city, Kyungki-do,<br>Republic of Korea |
| Nationality:                           | Republic of Korea   |

3. Name: Cha-young Yoo  
I.D. No. 641217-1254226  
Zip Code: 441-460  
Address: 203-1302, LG village, 530, Keumgok-dong,  
Kwonsun-gu, Suwon-city, Kyungki-do,  
Republic of Korea  
Nationality: Republic of Korea
4. Name: Suk-jin Chung  
I.D. No. 771105-2057716  
Zip Code: 442-470  
Address: (202), 1051-3, Youngtong-dong, Paldal-gu,  
Suwon-city, Kyungki-do, Republic of Korea  
Nationality: Republic of Korea

[Request for Examination] Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

|          |                       |
|----------|-----------------------|
| Attorney | Young-pil Lee (seal)  |
| Attorney | Sang-bin Jeong (seal) |

[Fee]

|                        |             |               |
|------------------------|-------------|---------------|
| Basic page:            | 20 Sheet(s) | 29,000 won    |
| Additional page:       | 16 Sheet(s) | 16,000 won    |
| Priority claiming fee: | 0 Case(s)   | 0 won         |
| Examination fee:       | 46          | 1,581,000 won |
| Total:                 |             | 1,626,000 won |

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy each



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0073820  
Application Number

출원년월일 : 2002년 11월 26일  
Date of Application NOV 26, 2002

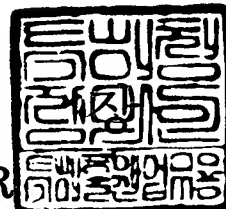
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      02      11      일  
년      월

특      허      청

COMMISSIONER



## 【서지사항】

|            |   |
|------------|---|
| 【서류명】      | 특허출원서   |
| 【권리구분】     | 특허  |
| 【수신처】      | 특허청장  |
| 【참조번호】     | 0025  |
| 【제출일자】     | 2002.11.26                                    |
| 【국제특허분류】   | H01L  |
| 【발명의 명칭】   | 반도체 메모리 소자의 제조방법                              |
| 【발명의 영문명칭】 | Method for manufacturing semiconductor device |
| 【출원인】      |   |
| 【명칭】       | 삼성전자 주식회사                                     |
| 【출원인코드】    | 1-1998-104271-3                               |
| 【대리인】      |   |
| 【성명】       | 이영필   |
| 【대리인코드】    | 9-1998-000334-6                               |
| 【포괄위임등록번호】 | 1999-009556-9                                 |
| 【대리인】      |   |
| 【성명】       | 정상빈   |
| 【대리인코드】    | 9-1998-000541-1                               |
| 【포괄위임등록번호】 | 1999-009617-5                                 |
| 【발명자】      |   |
| 【성명의 국문표기】 | 최재형   |
| 【성명의 영문표기】 | CHOI, Jae Hyung                               |
| 【주민등록번호】   | 711001-1231755                                |
| 【우편번호】     | 423-014                                       |
| 【주소】       | 경기도 광명시 광명4동 한진아파트 108-2404                   |
| 【국적】       | KR  |
| 【발명자】      |   |
| 【성명의 국문표기】 | 김완돈   |
| 【성명의 영문표기】 | KIM, Wan Don                                  |
| 【주민등록번호】   | 710223-1017515                                |

**【우편번호】** 449-840  
**【주소】** 경기도 용인시 수지읍 풍덕천2동 주공아파트 102동 1004호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 유차영  
**【성명의 영문표기】** Y00,Cha Young  
**【주민등록번호】** 641217-1254226  
**【우편번호】** 441-460  
**【주소】** 경기도 수원시 권선구 금곡동 530번지 엘지빌리지 203동 1302호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 정숙진  
**【성명의 영문표기】** CHUNG,Suk Jin  
**【주민등록번호】** 771105-2057716  
**【우편번호】** 442-470  
**【주소】** 경기도 수원시 팔달구 영통동 1051-3 202호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 정상빈 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 16 면 16,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 46 항 1,581,000 원  
**【합계】** 1,626,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

공정을 단순화할 수 있는 반도체 메모리 소자의 제조방법을 개시한다. 개시된 본 발명의 반도체 메모리 소자의 제조방법은, 반도체 기판상에 하부 전극용 도전층을 증착한다음, 상기 하부 전극용 도전층 상부에 유전막을 증착하고, 상기 유전막 상부에 상부 전극용 도전층을 증착한다. 그후, 상기 상부 전극용 도전층 및 유전막을 소정 부분 식각하고 나서, 상기 상부 전극용 도전층과 유전막을 열처리를 진행한다.

**【대표도】**

도 2c

**【색인어】**

일괄 열처리, MIM, 탄탈륨 산화막, 건식 식각

**【명세서】****【발명의 명칭】**

반도체 메모리 소자의 제조방법{Method for manufacturing semiconductor device}

**【도면의 간단한 설명】**

도 1a 및 도 1b는 일반적인 MIM 캐패시터의 제조방법에 대하여 개략적으로 설명하기 위한 각 공정별 단면도이다.

도 2a 내지 도 2c는 본 발명의 실시예 1에 따른 반도체 메모리 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다.

도 3은 본 발명의 실시예 1에 따른 탄탈륨 산화막 등과 산화막의 두께를 나타낸 그래프이다.

도 4는 본 발명의 실시예 1에 따른 캐패시터의 누설 전류를 나타낸 그래프이다.

도 5는 온도에 따른 본 실시예의 캐패시터 누설 전류를 나타내는 그래프이다.

도 6은 본 발명의 실시예 2에 따른 탄탈륨 산화막 등과 산화막의 두께를 나타낸 그래프이다.

도 7은 본 발명의 실시예 2에 따른 캐패시터의 누설 전류를 나타낸 그래프이다.

도 8a 내지 도 8c는 본 발명의 실시예 3에 따른 반도체 메모리 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다.

도 9는 본 발명의 실시예 3에 따른 탄탈륨 산화막 등과 산화막의 두께를 나타낸 그래프이다.

도 10은 본 발명의 실시예 3에 따른 캐패시터의 누설 전류를 나타낸 그래프이다.



(도면의 주요 부분에 대한 부호의 설명)

100,200 : 반도체 기판                      110,210 : 하부 전극용 도전층  
 120,230 : 탄탈륨 산화막                      130,240 : 상부 전극용 도전층  
 220 : 탄탈륨 산화막 씨드층

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<15>        본 발명은 반도체 메모리 소자의 제조방법에 관한 것으로, 보다 구체적으로는 탄탈륨 산화막을 유전막으로 갖는 MIM(metal-insulator-metal) 캐패시터의 제조방법에 관한 것이다.

<16>        최근, 반도체 소자의 집적도가 증가함에 따라, 칩내에서 소자가 차지하는 면적이 감소되고 있다. DRAM 소자의 정보를 저장하는 캐패시터의 경우에도 역시, 더욱 좁아진 면적에서 이전과 동일한 또는 그 이상의 캐패시턴스를 가질 것이 요구되고 있다. 이에 따라, 캐패시터의 하부 전극을 실린더(cylinder)형, 핀(fin)형 등으로 3차원 형태로 형성하거나, 하부 전극의 표면에 반구형 그레이너를 피복시켜 표면적을 넓히는 방안, 유전막의 두께를 얇게 하는 방안, 또는 높은 유전 상수를 가지는 고유전 물질 또는 강유전 물질을 유전막으로 사용하는 방안이 제안되었다.

<17>        여기서, 높은 유전 상수를 가지는 물질, 예컨대,  $Ta_2O_5$ 나 BST((Ba,Sr)TiO<sub>3</sub>)와 같은 물질을 유전막으로 사용하는 경우, 기존에 전극으로 사용되던 폴리실리콘막을 캐패시터 전극으로 사용하기 어렵다. 이는, 유전막의 두께가 감소되면, 터널링의 발생으로 누설

전류가 발생되기 때문이다. 이에따라, 고유전막 또는 강유전막을 유전막으로 사용하는 경우, 일함수가 매우 높은 백금(Pt), 루테튬(Ru), 이리듐(Ir), 로듐(Rh), 오스뮴(Os)등과 같은 귀금속막이 캐패시터 전극 물질로 이용되고 있다.

<18> 여기서, 도 1a 및 도 1b를 참조하여, 일반적인 MIM 캐패시터의 제조방법에 대하여 개략적으로 설명하도록 한다.

<19> 도 1a를 참조하여, 반도체 기판(10) 상부에 하부 전극용 도전층(20)을 증착한다. 하부 전극용 도전층(20)으로는 상술한 바와 같이, 백금, 루테튬, 이리듐, 로듐, 오스뮴이 이용될 수 있다. 하부 전극용 도전층(20) 상부에 유전막 예를 들어 탄탈륨 산화막(30)을 증착한다. 탄탈륨 산화막(30)은 증착 당시 비정질 상태를 갖고 이러한 경우 유전율(등가 산화막 두께)이 열악하다. 반면, 탄탈륨 산화막(30)을 결정질화하였을 경우, 유전율은 증가하나 누설 전류 특성이 열악한 문제가 있다. 이에따라, 현재에는 탄탈륨 산화막(30)의 증착후, 결정화가 되지 않는 온도 범위에서 유전율을 개선하기 위한 경화 공정을 진행하고 있다. 이와같은 경화 공정은 예를 들어, 약 600℃ 온도 범위에서 질소(N<sub>2</sub>) 분위기로 진행할 수 있다.

<20> 도 1b를 참조하여, 경화 공정이 진행된 탄탈륨 산화막(30) 상부에 상부 전극용 도전층(40)을 증착한다. 상부 전극용 도전층(40)은 하부 전극용 도전층과 동일한 물질이 이용될 수 있다. 그후, 캐패시터의 특성을 측정하기 위하여, 상부 전극용 도전층(40) 및 탄탈륨 산화막(30)을 건식 식각한다. 이에따라, 하부 전극(20)의 소정 부분이 노출된다. 상부 전극 도전층(40)과 탄탈륨 산화막(30)의 계면에서의 격자 결함으로 유발되는 스트

레스를 치유하기 위하여, 열처리 공정을 실시한다. 스트레스 치유용 열처리 공정은 예를 들어, 약 400℃의 저온에서 산소(O<sub>2</sub>) 가스 분위기로 진행된다.

<21> 그러나, 이와같은 종래의 MIM 캐패시터의 제조방법은, 유전막을 증착하는 공정 및 상부 전극을 식각하는 공정 이후에 각각 열처리 공정을 수반하여야 하므로, 공정상 번거롭다. 즉, 각각의 열처리 공정마다, 웨이퍼가 이송되어야 하므로, 공정시간이 증대되고, 이동중 오염물이 웨이퍼 상에 잔류될 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

<22> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 공정을 단순화할 수 있는 반도체 메모리 소자의 제조방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<23> 상기한 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따르면, 반도체 기판상에 하부 전극용 도전층을 증착한다음, 상기 하부 전극용 도전층 상부에 유전막을 증착하고, 상기 유전막 상부에 상부 전극용 도전층을 증착한다. 그후, 상기 상부 전극용 도전층 및 유전막을 소정 부분 식각하고나서, 상기 상부 전극용 도전층과 유전막을 열처리를 진행한다.

<24> 또한, 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 제조방법은, 먼저, 반도체 기판상에 하부 전극용 금속층을 증착하고, 상기 하부 전극용 도전층 상부에 탄탈륨 산화막을 증착한다음, 상기 탄탈륨 산화막 상부에 상부 전극용 금속층을 증착한다. 그후에, 상기 상부 전극용 도전층 및 상기 탄탈륨 산화막을 소정 부분 건식 식각하고, 상기 상부 전극용 도전층과 탄탈륨 산화막의 계면 스트레스를 방지함과 동시에, 상기 탄탈

를 산화막을 경화시키기 위하여 열처리를 진행한다. 이때, 탄탈륨 산화막은 열처리 후 비정질 상태를 유지한다.

<25> 여기서, 상기 열처리 단계는, 상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 제 1 열처리를 진행하는 단계, 및 상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 2 열처리하는 단계로 구성될 수 있다. 다른 열처리 방법으로는 상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 열처리할 수도 있고, 또는, 상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 1 열처리를 실시한 다음, 상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 제 2 열처리를 실시할 수도 있다.

<26> 본 발명의 또 다른 실시예에 따르면, 반도체 기판상에 하부 전극용 금속층을 증착하고, 상기 하부 전극용 도전층 상부에 탄탈륨 산화막을 증착한 다음, 상기 탄탈륨 산화막 상부에 상부 전극용 금속층을 증착한다. 그 후, 상기 상부 전극용 도전층 및 상기 탄탈륨 산화막을 소정 부분 건식 식각한다 다음, 상기 상부 전극용 도전층과 탄탈륨 산화막의 계면 스트레스를 방지함과 동시에, 상기 탄탈륨 산화막을 결정화시키기 위하여 열처리를 진행한다.

<27> 이때, 상기 열처리 단계는, 상기 반도체 기판 결과물을 약 650 내지 700℃의 온도에서 비활성 가스 분위기로 제 1 열처리하는 단계와, 상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 2 열처리하는 단계로 진행될 수 있다. 또한, 다른 열처리 방법으로는 상기 반도체 기판 결과물을 약 650 내지 700℃의 온도에서 비활성 가스 분위기로 열처리할 수 있으며, 또는 상기 반도체 기판 결과물을 약

350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 1 열처리를 진행한 후, 상기 반도체 기판 결과물을 약 650 내지 700℃의 온도에서 비활성 가스 분위기로 제 2 열처리를 진행할 수 있다.

<28> 또한, 본 발명의 다른 실시예에 따르면, 반도체 기판상에 하부 전극용 금속층을 증착하고, 상기 하부 전극용 도전층 상부에 탄탈륨 산화막의 씨드층을 형성하고, 상기 탄탈륨 산화막 씨드층을 결정화한다. 그후에, 상기 결정화된 탄탈륨 산화막 씨드층 상부에 탄탈륨 산화막을 증착하고, 상기 탄탈륨 산화막 상부에 상부 전극용 금속층을 증착한다음, 상기 상부 전극용 도전층 및 탄탈륨 산화막을 소정 부분 건식 식각한다. 그리고 나서, 상기 상부 전극용 도전층과 탄탈륨 산화막의 계면 스트레스를 방지함과 동시에, 상기 탄탈륨 산화막을 경화시키기 위하여 열처리를 진행한다.

<29> 이때, 상기 열처리 단계는, 상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 제 1 열처리를 진행하는 단계와, 상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 2 열처리를 진행하는 단계로 구성될 수 있다.

<30> 상기 각 실시예의 제 1 및 제 2 열처리 단계는 인 시튜로 진행하는 것이 바람직하고, 상기 불활성 가스는 아르곤(Ar) 또는 질소(N<sub>2</sub>) 포함 가스일 수 있으며, 상기 산소 포함 가스는 산소 가스(O<sub>2</sub>) 또는 질산 가스(N<sub>2</sub>O)일 수 있다.

<31> 상기 탄탈륨 산화막의 씨드층은 약 30 내지 60Å 두께로 형성할 수 있고, 상기 탄탈륨 산화막 씨드층은 650 내지 750℃ 온도로 열처리하여 결정화된다.

- <32>       상기 하부 전극용 도전층은 백금(Pt), 루테튬(Ru), 이리듐(Ir), 로듐(Rh), 오스뮴(Os)과 같은 금속들중 선택되는 어느 하나로 형성될 수 있고, 상기 상부 전극용 도전층은 상기 하부 전극용 도전층과 동일한 물질로 형성될 수 있다.
- <33>       또한, 상기 탄탈륨 산화막은 380 내지 500℃의 온도에서 화학 기상 증착법으로 형성할 수 있다.
- <34>       이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.
- <35>       (실시예 1)
- <36>       도 2a 내지 도 2c는 본 발명에 따른 MIM 캐패시터의 제조방법을 설명하기 위한 각 공정별 단면도이다.
- <37>       도 2a를 참조하여, 반도체 기판(100) 상부에 하부 전극용 도전층(110)을 증착한다. 이때, 반도체 기판(100)은 예를 들어 모스 트랜지스터, 비트 라인 및 각각의 층들을 절연시키는 절연막을 포함할 수 있다. 하부 전극용 도전층(110)으로는 예를 들어, 일함수

가 매우 높은 백금(Pt), 루테튬(Ru), 이리듐(Ir), 로듐(Rh), 오스뮴(Os)등의 금속이 이용될 수 있다. 하부 전극용 도전층(110) 상부에 유전막으로 탄탈륨 산화막( $Ta_2O_5$ :120)을 증착한다. 탄탈륨 산화막(120)은 380 내지 500℃의 온도에서 화학 기상 증착법으로 형성할 수 있다. 이어서, 탄탈륨 산화막(120) 상부에 상부 전극용 도전층(130)을 증착한다. 이때, 본 실시예에서는 탄탈륨 산화막(120)을 경화시키는 공정은 배제한다. 상부 전극용 도전층(130)은 하부 전극용 도전층(110)과 동일한 물질로 형성될 수 있다.

<38> 도 2b를 참조하여, 하부 전극용 도전층(110)이 노출되도록, 상부 전극용 도전층(130) 및 유전막(120)을 식각한다. 이때, 상부 전극용 도전층(130) 및 탄탈륨 산화막(120)의 식각은 건식 식각 방식이 이용된다. 이러한 건식 식각 방식에 의하여, 상부 전극용 도전층(130) 및 탄탈륨 산화막(120)의 측벽이 노출된다.

<39> 다음, 도 2c에 도시된 바와 같이, 상부 전극용 도전층(130)과 탄탈륨 산화막(120)의 계면 스트레스를 완화시킴과 동시에 탄탈륨 산화막(120)의 유전율 향상을 위하여 열처리 공정을 실시한다.

<40> 이때, 이러한 열처리 방법은 다음과 같이 다양한 방식으로 진행될 수 있다.

<41> 먼저, 결과물을 약 450 내지 600℃의 온도 및 비활성 가스 분위기에서 약 30분간 제 1 열처리를 진행하고, 연달아 약 350 내지 450℃의 온도 및 산소( $O_2$ ) 포함 가스 분위기에서 약 30분간 제 2 열처리를 진행할 수 있다(이하, 제 1 예로 칭함).

<42> 또한, 다른 방법으로는, 약 450 내지 600℃의 온도 및 비활성 가스 분위기에서 30분 동안 열처리를 진행할 수 있다(이하, 제 2 예로 칭함).

- <43>        또 다른 방법으로는, 약 350 내지 450℃의 온도 및 산소( $O_2$ ) 포함 가스 분위기에서 약 30분간 제 1 열처리를 진행하고, 약 450 내지 600℃의 온도 및 비활성 가스 분위기에서 약 30분간 제 2 열처리를 진행할 수 있다(이하, 제 3 예로 칭함).
- <44>        상기 제 1 내지 제 3 예에 있어서, 비활성 가스로는 예를 들어, 아르곤(Ar 또는 질소( $N_2$ ) 포함 가스가 이용될 수 있고, 산소 포함 가스로는 산소( $O_2$ ) 또는 질산( $NO_2$ )이 사용될 수 있다. 제 1 예 및 제 3 예의 경우, 제 1 열처리 및 제 2 열처리가 인 시튜(in situ)로 진행할 수 있다. 이러한 경우, 웨이퍼의 챔버(도시되지 않음)간 이동이 적어져서, 웨이퍼 표면 결함이 방지된다.
- <45>        이때, 일반적으로 열처리 공정은 산소 포함 가스 분위기에서 진행하는 것이 효율적이기는 하나, 600℃ 이상에서 산소 열처리를 수행하게 되면 상부 전극용 도전층(130) 및 탄탈륨 산화막(120)에 산소가 침투되어, 500℃ 이하의 열 처리는 산소 분위기에서 진행하고 500℃ 이상의 열처리는 비활성 가스 분위기에서 진행하는 것이 바람직하다.
- 이때, 제 1 예 및 제 3 예의 경우, 제 1 열처리 및 제 2 열처리가 인 시튜(in situ)로 진행할 수 있다. 이러한 경우, 웨이퍼의 챔버(도시되지 않음)간 이동이 적어져서, 웨이퍼 표면 결함이 방지된다.
- <46>        이와같은 열처리 공정들이 상부 전극 및 탄탈륨 산화막의 건식 식각후에 일괄적으로 진행되므로, 상부 전극용 도전층(130)과 탄탈륨 산화막(120)간의 계면 스트레스를 치유하는데 용이할 뿐만 아니라, 탄탈륨 산화막(120)의 노출된 측벽을 통하여 열이 전달되어, 탄탈륨 산화막(120) 역시 경화시킨다. 아울러, 일괄적인 열처리 진행으로 공정을 단순화할 수 있다.



- <47> 이때, 건식 식각후에 열처리를 일괄적으로 진행한다고 하여도, 탄탈륨 산화막의 유전율이나 누설 전류면에서 전혀 문제가 되지 않는다. 이에 대하여 첨부된 도 3 및 도 4를 통하여 보다 자세히 설명하기로 한다.
- <48> 도 3은 본 발명의 실시예 1(제 1 예 내지 제 3 예)에 따라 형성된 탄탈륨 산화막의 등가 산화막의 두께를 나타낸 그래프이다. 본 도면에서 종래에 1은 상술한 종래 기술에 제시된 방법으로 제작한 캐패시터를 나타낸다.
- <49> 상기 그래프에 의하면, 종래의 방식과 비교하여 볼 때, 각 적용예들에 따라 형성된 등가 산화막 두께와 종래 방식에 따른 등가 산화막 두께가 거의 동일하다. 이는 곧 종래 방식을 따라 열처리를 수행하는 방식이나, 본 실시예와 같이 건식 식각후 일괄 열처리를 수행하는 방식 모두, 탄탈륨 산화막의 유전율면에서는 거의 동일함을 의미한다.
- <50> 한편, 도 4는 본 발명의 실시예 1(제 1 예 내지 제 3 예)에 따라 형성된 캐패시터의 누설 전류를 나타낸 그래프로서, 본 그래프에 의하면, 본 발명의 적용예들에 따른 캐패시터의 누설 전류가 종래 기술에 따른 캐패시터의 누설 전류보다 오히려 낮음을 알 수 있다. 아울러, 누설 전류의 기저치(base-level:B)에 있어서도, 본 발명의 적용예에 따른 경우가 종래 기술에 비하여 낮게 나타나고, 누설 전류가 다량 증대되기 시작하는 이륙 전압(take voltage)에 있어서도 본 발명의 적용예들의 경우가 보다 안정적이다.
- <51> 따라서, 도 3 및 도 4에 의거하여 볼 때, 본 실시예와 같이 열처리를 진행하는 경우, 유전율(등가 산화막)의 측면에서는 종래와 거의 동일하고, 누설 전류의 측면에 있어서는 종래 기술에 비하여 월등히 우수하였다. 이러한 결과는, 본 실시예와 같이 캐패시터를 형성하는 경우, 탄탈륨 산화막의 두께를 더욱 박막화시킬 수 있는 여지가 있음을 의미한다. 즉, 현재 탄탈륨 산화막의 두께를 박막화하는데 한계에 봉착한 이유는 누설

전류 때문이다. 하지만, 본 실시예의 유전막은 종래의 유전막(탄탈륨 산화막)과 동일 유전율을 갖고, 누설 전류는 보다 낮기 때문에, 누설 전류가 감소된 만큼 유전막의 두께를 감축시킬 수 있다.

<52>        한편, 도 5는 온도에 따른 본 실시예의 캐패시터 누설 전류를 나타내는 그래프이고, 특히 도 5에서의 캐패시터는 상기 제 2 예의 방법에 의하여 제작된 것이다. 상기 그래프에 의하면, 본 발명의 실시예에 따른 캐패시터들은 온도 변화( $25^{\circ}\text{C}$ ,  $85^{\circ}\text{C}$ ,  $125^{\circ}\text{C}$ )에 따라 누설 전류값이 거의 변화되지 않음을 알 수 있다. 이는 유전막의 누설 전류가 온도에 의존하지 않음을 의미하며, 곧 유전막(탄탈륨 산화막)이 매우 안정적으로 형성되었다고 예측할 수 있다.

<53>        본 실시예에 따르면, 열처리 공정을 건식 식각 공정 이후 일괄적으로 진행함으로써, 공정을 단순화시킬 수 있을 뿐만 아니라, 양질의 유전막을 얻을 수 있다.

<54>        덧붙여, 종래와 동일한 유전율을 가지면서, 종래 보다는 탁월한 누설 전류 특성을 가지므로, 보다 안정한 캐패시터를 형성할 수 있으며, 유전막(탄탈륨 산화막)의 두께를 감축시켜, 고용량을 실현할 수 있다.

<55>        (실시예 2)

<56>        본 실시예는 상기한 실시예 1의 도 2a 및 도 2b까지의 공정은 동일하며, 도 2c의 열처리 공정의 온도만이 일부 상이하다. 그러므로, 상기한 도 2a 내지 도 2c를 참조하여 실시예 2를 설명하도록 한다.

- <57> 도 2c에서와 같이, 상부 전극(130) 및 탄탈륨 산화막(120)을 건식 식각한다음, 상부 전극용 도전층(130)과 탄탈륨 산화막(120)의 계면 스트레스를 완화시킴과 동시에 탄탈륨 산화막(120)을 결정화시키기 위하여 열처리 공정을 실시한다.
- <58> 이러한 열처리 방법은 다음과 같이 다양한 방식으로 진행될 수 있다.
- <59> 먼저, 결과물을 약 650 내지 700℃의 온도 및 비활성 가스 분위기에서 약 30분간 제 1 열처리를 진행하고, 연달아 약 350 내지 450℃의 온도 및 산소(O<sub>2</sub>) 포함 가스 분위기에서 약 30분간 제 2 열처리를 진행할 수 있다(이하, 제 4 예로 칭함).
- <60> 또한, 다른 방법으로는, 약 650 내지 700℃의 온도 및 비활성 가스 분위기 또는 질소 포함 가스 분위기에서 30분 동안 열처리를 진행할 수 있다(이하, 제 5 예로 칭함).
- <61> 또 다른 방법으로는, 약 350 내지 450℃의 온도 및 산소(O<sub>2</sub>) 포함 가스 분위기에서 약 30분간 제 1 열처리를 진행하고, 약 650 내지 700℃의 온도 및 비활성 가스 분위기 또는 질소(N<sub>2</sub>) 포함 가스 분위기에서 약 30분간 제 2 열처리를 진행할 수 있다(이하 제 6 예로 칭함).
- <62> 이때, 제 4 예 및 제 6 예의 경우, 제 1 열처리 및 제 2 열처리가 인 시튜(in situ)로 진행할 수 있다. 이러한 경우, 웨이퍼의 챔버(도시되지 않음)간 이동이 적어져서, 웨이퍼 표면 결함이 방지된다.
- <63> 또한, 본 실시예의 각 예들에서, 비활성 가스는 아르곤(Ar) 또는 질소(N<sub>2</sub>) 포함 가스가 사용될 수 있고, 산소 포함 가스로는 산소(O<sub>2</sub>) 또는 질산(NO<sub>2</sub>)이 사용될 수 있다. 이러한 열처리 공정은 건식 식각을 행한 후에 진행되므로, 상부 전극용 도전층(130)과

탄탈륨 산화막(120)간의 계면 스트레스를 치유하는데 용이할 뿐만 아니라, 탄탈륨 산화막(120)의 노출된 측벽을 통하여 열이 전달되어, 탄탈륨 산화막(120)을 결정화시킨다.

<64> 일반적으로 알려진 바와 같이, 탄탈륨 산화막(120)을 650℃ 이상에서 결정화시키게 되면, 유전율은 감소하는 한편, 누설 전류가 상당량 증가된다. 이에 따라, 현재에는 비정질 상태의 탄탈륨 산화막을 유전막으로 사용하였다. 하지만, 본 실시예와 같이 건식 식각을 마친 후, 650℃ 이상의 온도에서 일괄 열처리를 시행하게 되면, 유전율은 결정질 탄탈륨 산화막에 준하게 되고, 누설 전류는 결정질에 비하여 상당량 감소하였다. 이를 첨부 그래프 도 6 및 도 7을 통하여 자세히 설명하도록 한다.

<65> 도 6은 본 발명의 실시예 2(제 4 예 내지 제 6 예)에 따라 형성된 탄탈륨 산화막의 등가 산화막의 두께를 나타낸 그래프이다. 여기서, 종래예 2는 탄탈륨 산화막을 증착하는 단계, 탄탈륨 산화막을 650℃ 이상에서 열처리하여 경화시키는 단계, 상부 전극을 증착하는 단계, 상부 전극과 탄탈륨 산화막을 건식 식각하는 단계 및 상부 전극과 탄탈륨 산화막의 계면 스트레스를 치유하기 위한 열처리 단계로 구성되는 캐패시터의 탄탈륨 산화막 등가 산화막 두께를 나타낸다. 상기 그래프에 의하면, 본 실시예의 적용예들에 따라 형성된 등가 산화막 두께(10.5Å, 10.5Å, 13.8Å)는 비록 종래예 2(약 9Å)에 비하여는 상대적으로 두껍지만, 그 두께 차이가 약 1 내지 3Å에 불과하고, 상술한 종래예 1(약 14Å)에 비하여는 상대적으로 얇다. 그러므로, 유전율에 있어서, 본 실시예의 적용예들에 따른 탄탈륨 산화막은 결정질 탄탈륨 산화막의 유전율에 준하면서, 비정질 탄탈륨 산화막보다는 높은 유전율을 갖는다.

<66> 한편, 도 7은 본 발명의 실시예 2(제 4 예 내지 제 6 예)에 따라 형성된 캐패시터의 누설 전류를 나타낸 그래프로서, 본 그래프에 의하면, 본 발명의 적용예들에 따른 캐

패시터의 누설 전류가 종래에 2에 따른 캐패시터의 누설 전류에 비하여 훨씬 작음을 알 수 있다. 아울러, 누설 전류의 기저치(B)에 있어서도, 본 실시예의 적용예에 따른 경우가 종래에 2에 비하여 낮게 나타나고, 특히 누설 전류가 다량 증대되기 시작하는 이륙 전압( $V_t$ ) 측면에서 매우 우수하다.

<67> 도 6 및 도 7을 살펴본 결과, 본 실시예와 같이 탄탈륨 산화막(120)을 결정화시켜도, 누설 전류를 안정화시킬 수 있을 뿐만 아니라, 유전율 특성을 개선할 수 있다.

<68> (실시예 3)

<69> 도 8a 내지 도 8c는 본 발명의 실시예 3에 따른 반도체 메모리 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다.

<70> 도 8a를 참조하여, 반도체 기판(200) 상부에 하부 전극용 도전층(210)을 증착한다. 하부 전극용 도전층(210)으로는 예를 들어, 일함수가 매우 높은 백금(Pt), 루테튬(Ru), 이리듐(Ir), 로듐(Rh), 오스뮴(Os)등의 금속이 이용될 수 있다. 하부 전극용 도전층(110) 상부에 탄탈륨 산화막 씨드층(seed layer:220)을 예를 들어 30 내지 60Å 두께로 증착한다. 이어서, 씨드층(220)을 약 650 내지 750℃의 온도로 결정화시킨다. 이때, 씨드층(220)은 박막이므로 상기의 온도에서 단시간에 진행된다.

<71> 도 8b에 도시된 바와 같이, 씨드층(220) 상부에 탄탈륨 산화막(230)을 증착한다. 탄탈륨 산화막(230)은 380 내지 500℃의 온도에서 화학 기상 증착법으로 형성할 수 있다. 이때, 결정화된 씨드층(220) 상부에 탄탈륨 산화막(230)이 증착되므로, 탄탈륨 산화막(230)은 일부 결정성을 가질 수 있다. 다음, 탄탈륨 산화막(230) 상부에 상부 전극용 도전층(240)을 형성한다. 상부 전극용 도전층(240)은 하부 전극용 도전층(210)과 동일한

물질로 형성될 수 있다. 본 실시예 역시, 탄탈륨 산화막(230)을 증착하는 단계와, 상부 전극용 도전층(240)을 증착하는 단계 사이에 탄탈륨 산화막(230)의 유전 특성을 개선하기 위한 경화 공정을 배제한다.

<72> 도 8c에서와 같이, 상부 전극용 도전층(130)은 하부 전극용 도전층(110)과 동일한 물질로 형성될 수 있다. 다음, 하부 전극용 도전층(110)이 노출되도록, 상부 전극용 도전층(130) 및 유전막(120)을 식각한다. 이때, 상부 전극용 도전층(130) 및 탄탈륨 산화막(120)의 식각은 건식 식각 방식이 이용된다. 이러한 건식 식각 방식에 의하여, 상부 전극용 도전층(130) 및 탄탈륨 산화막(120)의 측벽이 노출된다. 그후, 상부 전극용 도전층(240)과 탄탈륨 산화막(230)의 계면 스트레스를 완화시킴과 동시에 탄탈륨 산화막(120)의 유전을 향상을 위하여 열처리 공정을 실시한다. 본 실시예에서의 열처리 공정은 먼저, 결과물을 약 450 내지 600℃의 온도 및 비활성 가스 분위기에서 약 30분간 제 1 열처리를 진행하고, 연달아 약 350 내지 450℃의 온도 및 산소(O<sub>2</sub>) 포함 가스 분위기에서 약 30분간 제 2 열처리를 진행할 수 있다. 여기서, 비활성 가스로는 아르곤(Ar) 또는 질소(N<sub>2</sub>) 포함 가스가 사용될 수 있으며, 산소 포함 가스로는 산소(O<sub>2</sub>) 또는 질산(NO<sub>2</sub>) 이 사용될 수 있다. 여기서, 제 1 및 제 2 열처리는 인 시튜 방식에 의하여 진행할 수 있다.

<73> 이와같이 씨드층(220)에 의하여 탄탈륨 산화막(230)을 형성하고, 건식 식각후 일괄 열처리를 수행하는 경우 역시, 유전을 및 누설 전류면에서 매우 안정적이다.

<74> 즉, 도 9는 본 발명의 실시예 3에 따른 탄탈륨 산화막의 등가 산화막 두께를 나타낸 그래프로서, 종래에 3은 씨드층을 형성하는 단계, 씨앗층을 결정화시키는 단계, 탄탈륨 산화막을 증착하는 단계, 탄탈륨 산화막을 경화시키는 단계, 상부 전극층을 형성하는

단계, 상부 전극층 및 유전막을 건식 식각하는 단계, 및 상부 전극층과 유전막의 계면 스트레스를 완화하기 위하여 열처리하는 단계로 형성되는 캐패시터의 탄탈륨 산화막 두께를 의미한다. 종래에 3과 비교하였을 때, 본 실시예의 등가 산화막 두께는 거의 동일하므로, 유전율 측면에서는 거의 유사하다고 볼 수 있다.

<75> 한편, 도 10은 본 발명의 실시예 3에 따른 캐패시터의 누설 전류를 나타낸 그래프로서, 종래에 3과 비교하여 보았을 때, 누설 전류가 상대적으로 낮게 나타난다.

<76> 그러므로, 상기 실시예 역시 탄탈륨 산화막의 경화 공정을 배제할 수 있으므로, 웨이퍼의 잦은 이송 및 공정시간 증대를 방지할 수 있다. 더불어, 누설 전류를 보다 감축시킬 수 있으므로, 보다 안정한 캐패시터를 구축할 수 있을 뿐만 아니라, 고용량을 실현할 수 있다.

#### 【발명의 효과】

<77> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 유전막을 증착한 후 유전막 경화를 위한 열처리 공정을 수행하지 않고, 상부 전극 및 유전막을 건식식각한 후, 상부 전극과 유전막의 계면 스트레스 완화를 위한 열처리와 함께 유전막 경화 공정을 일괄적으로 수행한다.

<78> 이에따라, 빈번한 열처리 공정의 횟수를 감축할 수 있으므로, 웨이퍼의 잦은 이동 및 공정시간의 증대를 방지할 수 있다.

<79> 덧붙여, 종래와 동일한 유전율을 가지면서, 종래보다는 탁월한 누설 전류 특성을 가지므로, 보다 안정한 캐패시터를 형성할 수 있으며, 유전막(탄탈륨 산화막)의 두께를 감축시켜, 고용량을 실현할 수 있다.

<80>        이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.



**【특허청구범위】****【청구항 1】**

반도체 기판상에 하부 전극용 도전층을 증착하는 단계;

상기 하부 전극용 도전층 상부에 유전막을 증착하는 단계;

상기 유전막 상부에 상부 전극용 도전층을 증착하는 단계;

상기 상부 전극용 도전층 및 유전막을 소정 부분 식각하는 단계; 및

상기 상부 전극용 도전층과 유전막을 열처리를 진행하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 2】**

제 1 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 제 1 열처리를 진행하는 단계; 및

상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 2 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 3】**

제 2 항에 있어서, 상기 하부 전극층을 증착하는 단계와, 상기 유전막을 증착하는 단계 사이에,

상기 하부 전극층 상부에 상기 유전막 씨드층을 증착하는 단계; 및

상기 유전막 씨드층을 결정화시키는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 4】**

제 1 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 열처리하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 5】**

제 1 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 1 열처리하는 단계; 및

상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 제 2 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 6】**

제 1 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 650 내지 700℃의 온도에서 비활성 가스 분위기로 제 1 열처리하는 단계; 및

상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 2 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 7】**

제 1 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 650 내지 700℃의 온도에서 비활성 가스 분위기로 열처리하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 8】**

제 1 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 1 열처리하는 단계; 및

상기 반도체 기판 결과물을 약 650 내지 700℃의 온도에서 비활성 가스 분위기로 제 2 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 9】**

제 2 항, 제 5 항, 제 6 항 및 제 8 항 중 어느 한 항에 있어서, 상기 제 1 및 제 2 열처리 단계는 인 시튜(in situ)로 진행하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 10】**

제 2 항, 제 4 항, 제 5 항, 제 6 항, 제 7 항 및 제 8 항 중 어느 한 항에 있어서, 상기 불활성 가스는 아르곤(Ar) 또는 질소(N<sub>2</sub>) 포함 가스인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 11】**

제 2 항, 제 5 항, 제 6 항 및 제 8 항 중 어느 한 항에 있어서, 상기 산소 포함 가스는 산소 가스( $O_2$ ) 또는 질산 가스( $N_2O$ )인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 12】**

제 1 항에 있어서, 상기 하부 전극용 도전층은 백금(Pt), 루테튬(Ru), 이리듐(Ir), 로듐(Rh), 오스뮴(Os)과 같은 금속들중 선택되는 어느 하나로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 13】**

제 12 항에 있어서, 상기 상부 전극용 도전층은 상기 하부 전극용 도전층과 동일한 물질로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 14】**

제 1 항에 있어서, 상기 유전막은 탄탈륨 산화막인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 15】**

제 14 항에 있어서, 상기 탄탈륨 산화막은 380 내지 500℃의 온도에서 화학 기상 증착법으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 16】**

제 1 항에 있어서, 상기 상부 전극용 도전층과 상기 유전막은 건식 식각하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 17】**

반도체 기판상에 하부 전극용 금속층을 증착하는 단계;

상기 하부 전극용 도전층 상부에 탄탈륨 산화막을 증착하는 단계;

상기 탄탈륨 산화막 상부에 상부 전극용 금속층을 증착하는 단계;

상기 상부 전극용 도전층 및 상기 탄탈륨 산화막을 소정 부분 건식 식각하는 단계;  
; 및

상기 상부 전극용 도전층과 탄탈륨 산화막의 계면 스트레스를 방지함과 동시에, 상기 탄탈륨 산화막을 경화시키기 위하여 열처리를 진행하는 단계를 포함하며,

상기 탄탈륨 산화막은 열처리 후 비정질 상태를 유지하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 18】**

제 17 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 제 1 열처리를 진행하는 단계; 및

상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 2 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 19】**

제 17 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 열처리하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 20】

제 17 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 1 열처리하는 단계; 및

상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 제 2 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 21】

제 18 항 또는 제 20 항에 있어서, 상기 제 1 및 제 2 열처리 단계는 인 시튜(in situ)로 진행하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 22】

제 18 항 내지 제 20 항 중 어느 한 항에 있어서, 상기 불활성 가스는 아르곤(Ar) 또는 질소(N<sub>2</sub>) 포함 가스인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 23】

제 18 항 또는 제 20 항에 있어서, 상기 산소 포함 가스는 산소 가스(O<sub>2</sub>) 또는 질산 가스(N<sub>2</sub>O)인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 24】**

제 17 항에 있어서, 상기 하부 전극용 도전층은 백금(Pt), 루테튬(Ru), 이리듐(Ir), 로듐(Rh), 오스뮴(Os)과 같은 금속들중 선택되는 어느 하나로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 25】**

제 24 항에 있어서, 상기 상부 전극용 도전층은 상기 하부 전극용 도전층과 동일한 물질로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 26】**

제 17 항에 있어서, 상기 탄탈륨 산화막은 380 내지 500℃의 온도에서 화학 기상 증착법으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 27】**

반도체 기판상에 하부 전극용 금속층을 증착하는 단계;

상기 하부 전극용 도전층 상부에 탄탈륨 산화막을 증착하는 단계;

상기 탄탈륨 산화막 상부에 상부 전극용 금속층을 증착하는 단계;

상기 상부 전극용 도전층 및 상기 탄탈륨 산화막을 소정 부분 건식 식각하는 단계;  
및

상기 상부 전극용 도전층과 탄탈륨 산화막의 계면 스트레스를 방지함과 동시에, 상기 탄탈륨 산화막을 결정화시키기 위하여 열처리를 진행하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 28】**

제 27 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 650 내지 700℃의 온도에서 비활성 가스 분위기로 제 1 열처리하는 단계; 및

상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 2 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 29】**

제 27 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 650 내지 700℃의 온도에서 비활성 가스 분위기로 열처리하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 30】**

제 27 항에 있어서, 상기 열처리 단계는,

상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 1 열처리하는 단계; 및

상기 반도체 기판 결과물을 약 650 내지 700℃의 온도에서 비활성 가스 분위기로 제 2 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 31】**

제 28 항 또는 제 30 항에 있어서, 상기 제 1 및 제 2 열처리 단계는 인 시튜로 진행되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.



## 【청구항 32】

제 28 항 내지 제 30 항 중 어느 한 항에 있어서, 상기 불활성 가스는 아르곤(Ar) 또는 질소( $N_2$ ) 포함 가스인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

## 【청구항 33】

제 28 항 또는 제 30 항에 있어서, 상기 산소 포함 가스는 산소 가스( $O_2$ ) 또는 질산 가스( $N_2O$ )인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

## 【청구항 34】

제 27 항에 있어서, 상기 하부 전극용 도전층은 백금(Pt), 루테튬(Ru), 이리듐(Ir), 로듐(Rh), 오스뮴(Os)과 같은 금속들중 선택되는 어느 하나로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

## 【청구항 35】

제 34 항에 있어서, 상기 상부 전극용 도전층은 상기 하부 전극용 도전층과 동일한 물질로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

## 【청구항 36】

제 27 항에 있어서, 상기 탄탈륨 산화막은 380 내지 500℃의 온도에서 화학 기상 증착법으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

## 【청구항 37】

반도체 기판상에 하부 전극용 금속층을 증착하는 단계;

상기 하부 전극용 도전층 상부에 탄탈륨 산화막의 씨드층을 형성하는 단계;

상기 탄탈륨 산화막 씨드층을 결정화하는 단계;

상기 결정화된 탄탈륨 산화막 씨드층 상부에 탄탈륨 산화막을 증착하는 단계;  
상기 탄탈륨 산화막 상부에 상부 전극용 금속층을 증착하는 단계;  
상기 상부 전극용 도전층 및 탄탈륨 산화막을 소정 부분 건식 식각하는 단계; 및  
상기 상부 전극용 도전층과 탄탈륨 산화막의 계면 스트레스를 방지함과 동시에, 상기 탄탈륨 산화막을 경화시키기 위하여 열처리를 진행하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 38】**

제 37 항에 있어서, 상기 열처리 단계는,  
상기 반도체 기판 결과물을 약 450 내지 600℃의 온도에서 비활성 가스 분위기로 제 1 열처리를 진행하는 단계; 및  
상기 반도체 기판 결과물을 약 350 내지 450℃의 온도에서 산소 포함 가스 분위기로 제 2 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 39】**

제 38 항에 있어서, 상기 제 1 및 제 2 열처리 단계는 인 시류로 진행하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 40】**

제 38 항에 있어서, 상기 불활성 가스는 아르곤(Ar) 또는 질소(N<sub>2</sub>) 포함 가스인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 41】**

4 제 38 항에 있어서, 상기 산소 포함 가스는 산소 가스( $O_2$ ) 또는 질산 가스( $N_2O$ )인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 42】**

제 38 항에 있어서, 상기 탄탈륨 산화막의 씨드층은 약 30 내지 60Å 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 43】**

제 42 항에 있어서, 상기 탄탈륨 산화막 씨드층은 650 내지 750℃ 온도로 열처리하여 결정화시키는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 44】**

제 37 항에 있어서, 상기 하부 전극용 도전층은 백금(Pt), 루테튬(Ru), 이리듐(Ir), 로듐(Rh), 오스뮴(Os)과 같은 금속들중 선택되는 어느 하나로 형성되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 45】**

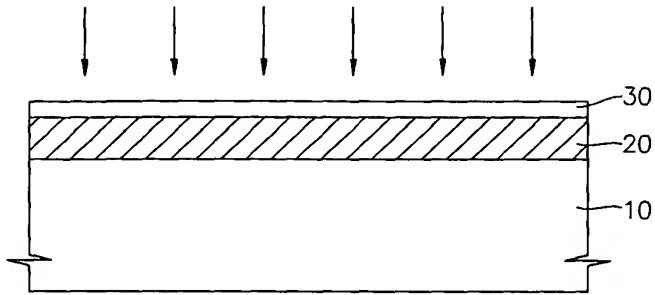
제 44 항에 있어서, 상기 상부 전극용 도전층은 상기 하부 전극용 도전층과 동일한 물질로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 46】**

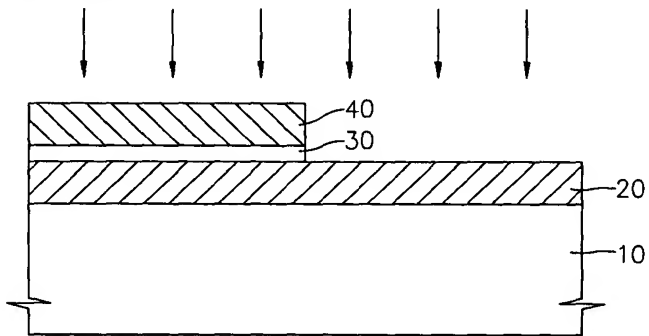
제 37 항에 있어서, 상기 탄탈륨 산화막은 380 내지 500℃의 온도에서 화학 기상 증착법으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【도면】

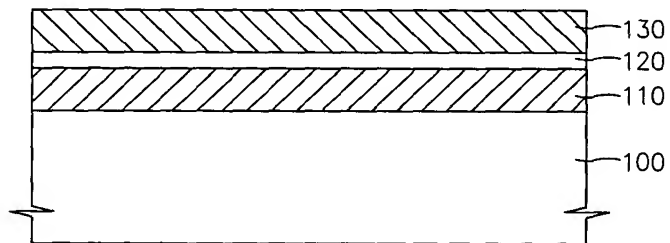
【도 1a】



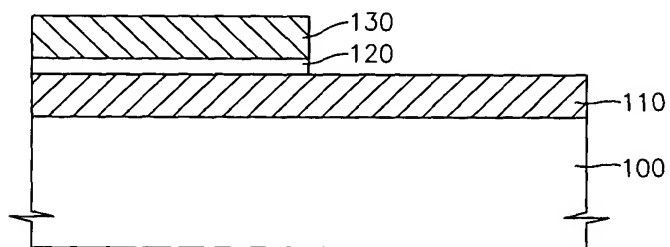
【도 1b】



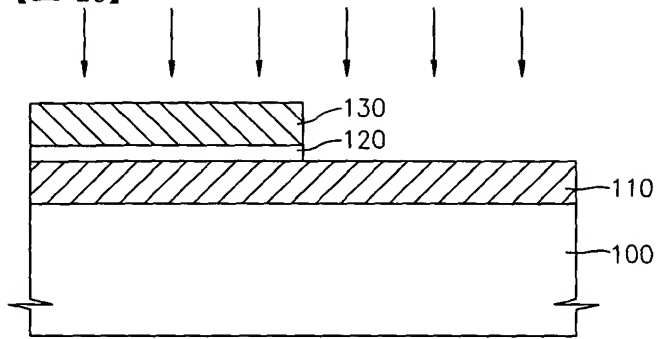
【도 2a】



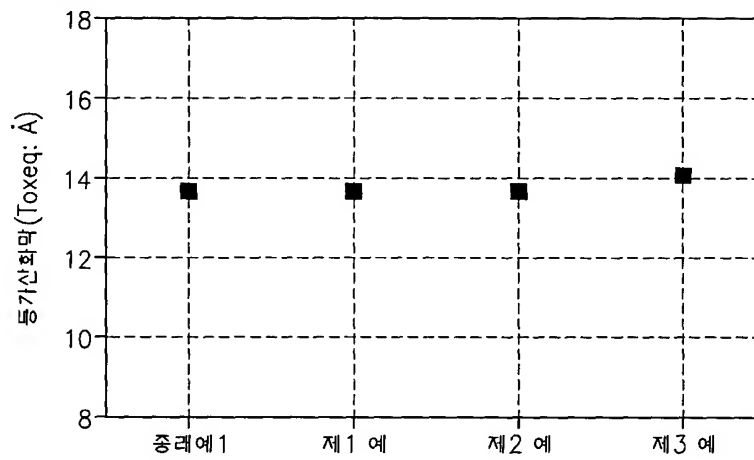
【도 2b】



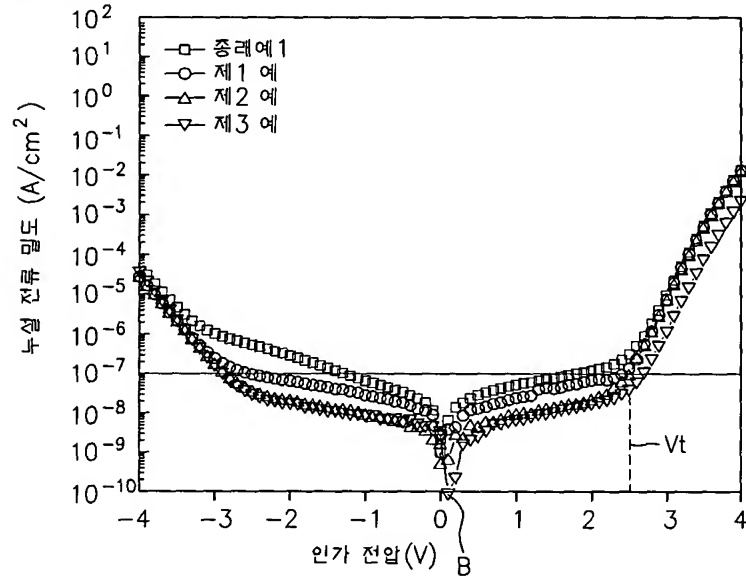
【도 2c】



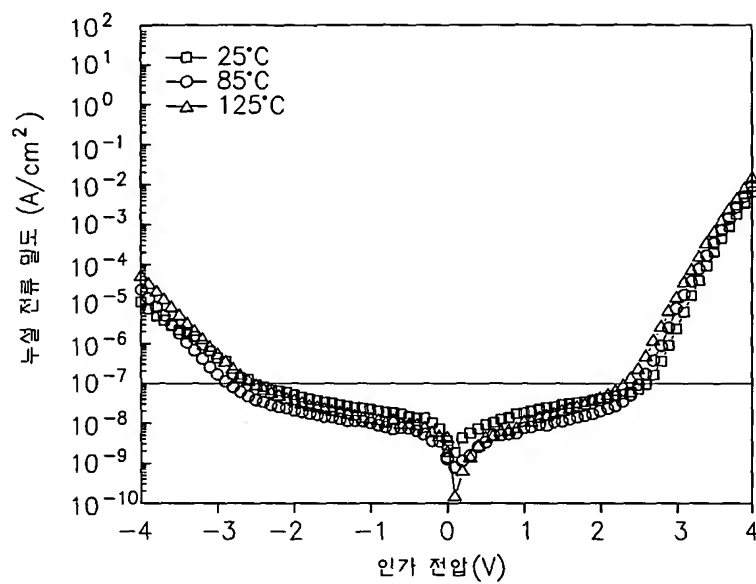
【도 3】



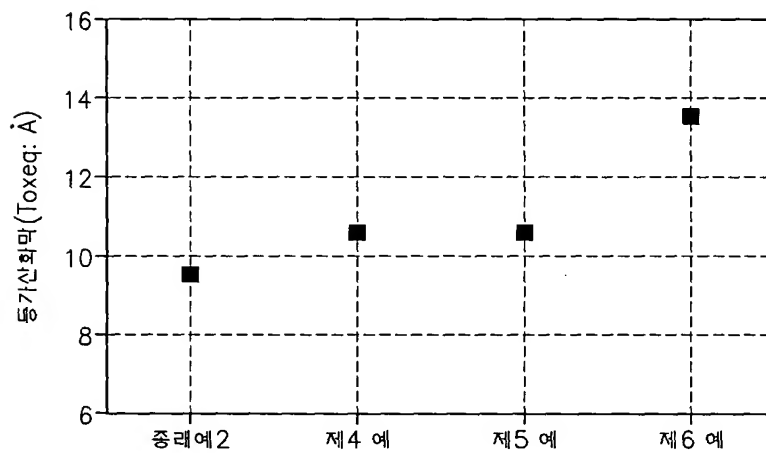
【도 4】



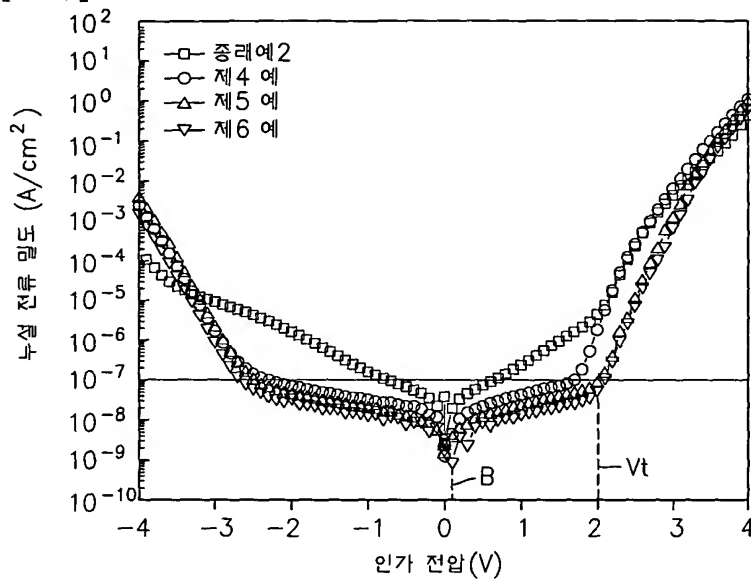
【도 5】



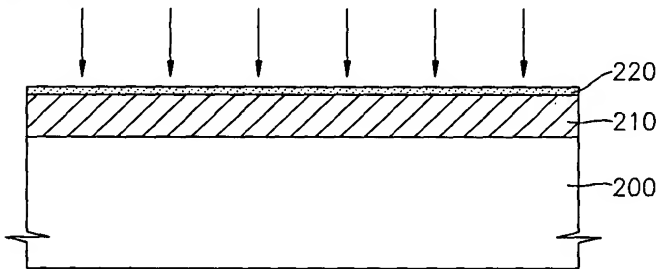
【도 6】



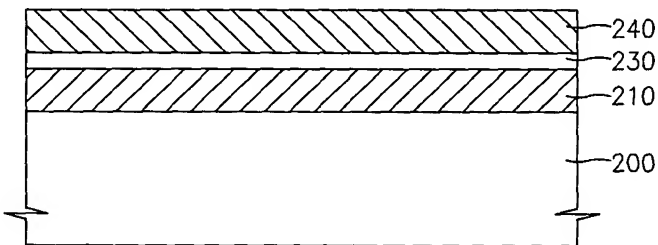
【도 7】



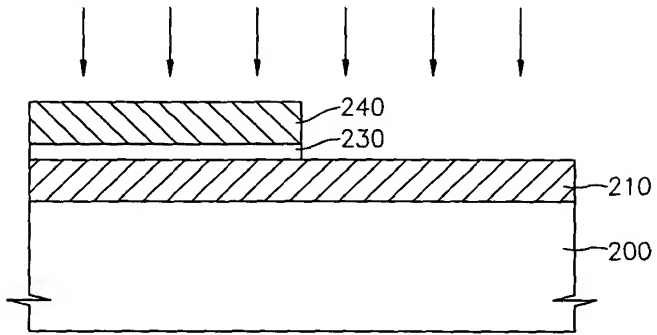
【도 8a】



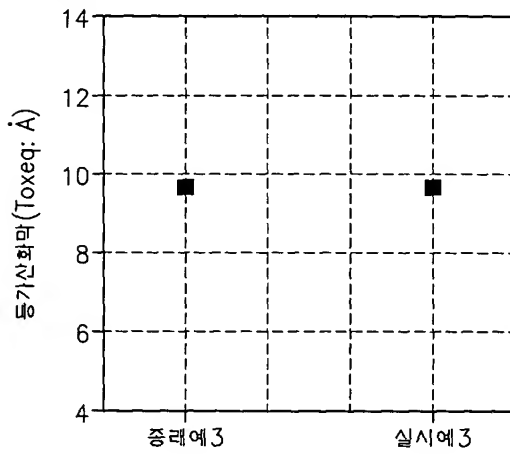
【도 8b】



【도 8c】



【도 9】



【도 10】

